

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-138295

(P2000-138295A)

(43)公開日 平成12年5月16日(2000.5.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 21/8238		H 0 1 L 27/08	3 2 1 H
27/092		27/04	H
27/04		29/74	G
21/822			D
29/74			3 0 1
審査請求 未請求 請求項の数26 O L (全 21 頁) 最終頁に続く			

(21)出願番号 特願平11-230955

(22)出願日 平成11年8月17日(1999.8.17)

(31)優先権主張番号 特願平10-239170

(32)優先日 平成10年8月25日(1998.8.25)

(33)優先権主張国 日本 (J P)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(71)出願人 599115778

シャープ ラボラトリーズ オブ アメリ

カ, インコーポレイテッド

Sharp Laboratories
of America, Inc.

アメリカ合衆国 ワシントン 98607,

カマス, エヌダブリュー パシフィック
リム プールバード 5750

(74)代理人 100078282

弁理士 山本 秀策

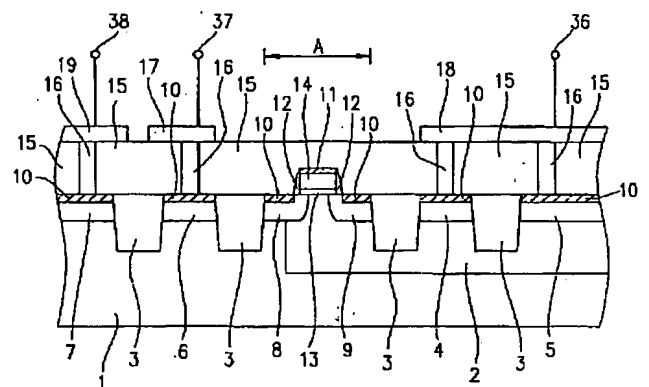
最終頁に続く

(54)【発明の名称】 半導体集積回路の静電気保護装置、その製造方法および静電気保護装置を用いた静電気保護回路

(57)【要約】

【課題】 サリサイド工程が用いられた場合であっても、製造工程に何等特別な工程やフォトマスクを追加しないで形成できる静電気保護装置、その製造方法および静電気保護装置を用いた静電気保護回路を提供する。

【解決手段】 静電気保護装置は、サイリスタと、サイリスタを低電圧でオン状態にトリガーするトリガーダイオードAとを備えており、トリガーダイオードAは、n型カソード高濃度不純物領域9と、p型アノード高濃度不純物領域8と、n型カソード高濃度不純物領域9とp型アノード高濃度不純物領域8との間に形成され、半導体集積回路のMOSトランジスタのゲート形成するゲート酸化膜13と、ゲート酸化膜13の上に積層されたポリシリコン14と、ゲート酸化膜13とポリシリコン14との側壁に形成され、n型カソード高濃度不純物領域9の表面に形成されるシリサイド層とp型アノード高濃度不純物領域8の表面に形成されるシリサイド層とを電気的に絶縁するゲート側壁絶縁体12とを備えている。



(2)

【特許請求の範囲】

【請求項1】 半導体集積回路の入力部または出力部に設けられ、該半導体集積回路の外部から該半導体集積回路への静電気サージの流入または該半導体集積回路から該半導体集積回路の外部への静電気サージの放出から該半導体集積回路の内部回路を保護する静電気保護装置であって、

サイリスタと、

該サイリスタを低電圧でオン状態にトリガーするトリガーダイオードとを備えており、

該トリガーダイオードは、

n型カソード高濃度不純物領域と、

p型アノード高濃度不純物領域と、

該n型カソード高濃度不純物領域の表面に形成されるシリサイド層と該p型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁する絶縁手段とを備えている静電気保護装置。

【請求項2】 該絶縁手段は、該n型カソード高濃度不純物領域と該p型アノード高濃度不純物領域との間に形成され、該半導体集積回路のMOSトランジスタのゲートを形成するゲート酸化膜と、

該ゲート酸化膜の上にパターンニングされたポリシリコンと、

該ゲート酸化膜と該ポリシリコンとの側壁に形成され、該n型カソード高濃度不純物領域の表面に形成されるシリサイド層と該p型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁するゲート側壁絶縁体とを含んでいる、請求項1に記載の静電気保護装置。

【請求項3】 該絶縁手段は、該n型カソード高濃度不純物領域と該p型アノード高濃度不純物領域との間に形成され、該半導体集積回路のMOSトランジスタの素子分離領域を形成する素子分離絶縁体を含んでいる、請求項1に記載の静電気保護装置。

【請求項4】 該静電気保護装置は、p型半導体基板に形成されており、

該n型カソード高濃度不純物領域は、n型ウェル中に形成されており、

該p型アノード高濃度不純物領域の一部は該n型ウェルに含まれており、

該p型アノード高濃度不純物領域の他の一部は該p型半導体基板またはp型ウェルに含まれている、請求項2に記載の静電気保護装置。

【請求項5】 該静電気保護装置は、p型半導体基板に形成されており、

該p型アノード高濃度不純物領域は、該p型半導体基板またはp型ウェル中に形成されており、

該n型カソード高濃度不純物領域の一部はn型ウェルに含まれており、

該n型カソード高濃度不純物領域の他の一部は該p型半

導体基板または該p型ウェルに含まれている、請求項2に記載の静電気保護装置。

【請求項6】 該静電気保護装置は、n型半導体基板に形成されており、

該n型カソード高濃度不純物領域は、該n型半導体基板中に形成されており、

該p型アノード高濃度不純物領域の一部はp型ウェルに含まれており、

該p型アノード高濃度不純物領域の他の一部は該n型半導体基板またはn型ウェルに含まれている、請求項2に記載の静電気保護装置。

【請求項7】 該静電気保護装置は、n型半導体基板に形成されており、

該p型アノード高濃度不純物領域は、p型ウェル中に形成されており、

該n型カソード高濃度不純物領域の一部は該p型ウェルに含まれており、

該n型カソード高濃度不純物領域の他の一部は該n型半導体基板またはn型ウェルに含まれている、請求項2に記載の静電気保護装置。

【請求項8】 該静電気保護装置は、p型半導体基板に形成されており、

該n型カソード高濃度不純物領域は、n型ウェル中に形成されており、

該p型アノード高濃度不純物領域の一部は該n型ウェルに含まれており、

該p型アノード高濃度不純物領域の他の一部は該p型半導体基板またはp型ウェルに含まれている、請求項3に記載の静電気保護装置。

【請求項9】 該静電気保護装置は、p型半導体基板に形成されており、

該p型アノード高濃度不純物領域は、該p型半導体基板または該p型ウェル中に形成されており、

該n型カソード高濃度不純物領域の一部はn型ウェルに含まれており、

該n型カソード高濃度不純物領域の他の一部は該p型半導体基板またはp型ウェルに含まれている、請求項3に記載の静電気保護装置。

【請求項10】 該静電気保護装置は、n型半導体基板に形成されており、

該n型カソード高濃度不純物領域は、該n型半導体基板中に形成されており、

該p型アノード高濃度不純物領域の一部はp型ウェルに含まれており、

該p型アノード高濃度不純物領域の他の一部は該n型半導体基板またはn型ウェルに含まれている、請求項3に記載の静電気保護装置。

【請求項11】 該静電気保護装置は、n型半導体基板に形成されており、

該p型アノード高濃度不純物領域は、p型ウェル中に形

(3)

3

成されており、

該 n 型カソード高濃度不純物領域の一部は該 p 型ウェルに含まれており、

該 n 型カソード高濃度不純物領域の他の一部は該 n 型半導体基板または n 型ウェルに含まれている、請求項 3 に記載の静電気保護装置。

【請求項 1 2】 請求項 1 に記載の静電気保護装置の製造方法であって、

n 型カソード高濃度不純物領域を形成する工程と、

p 型アノード高濃度不純物領域を形成する工程と、

該 n 型カソード高濃度不純物領域の表面に形成されるシリサイド層と該 p 型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁する絶縁手段を形成する絶縁手段形成工程とを包含する静電気保護装置の製造方法。

【請求項 1 3】 該絶縁手段形成工程は、半導体集積回路の MOS トランジスタのゲートを形成するゲート酸化膜をシリコン基板上に形成する工程と、

MOS トランジスタのゲート電極となるポリシリコンを該ゲート酸化膜の上にパターンニングする工程と、

該ポリシリコンおよび p 型イオン注入レジストをマスクとして、p 型不純物をイオン注入する工程と、

該ポリシリコンおよび n 型イオン注入レジストをマスクとして n 型不純物をイオン注入する工程と、

該ポリシリコンと該ゲート酸化膜との側壁にゲート側壁絶縁体を形成する工程と、

該 n 型カソード高濃度不純物領域の表面と該 p 型アノード高濃度不純物領域の表面とにシリサイド層を形成する工程とを包含する、請求項 1 2 に記載の静電気保護装置の製造方法。

【請求項 1 4】 請求項 1 3 に記載の p 型または n 型不純物をイオン注入する工程において、

サイリスタのトリガーダイオードの n 型カソード高濃度不純物領域が p 型基板もしくは p 型ウェルと p n 接合を形成する場合に、n 型不純物注入領域端から離れたポリシリコン領域上に、p 型イオン注入用のフォトマスク端の位置をレイアウトすることを特徴とする請求項 1 3 に記載の静電気保護装置の製造方法。

【請求項 1 5】 請求項 1 3 に記載の p 型または n 型不純物をイオン注入する工程において、

サイリスタのトリガーダイオードの p 型アノード高濃度不純物領域が n 型基板もしくは n 型ウェルと p n 接合を形成する場合に、p 型不純物注入領域端から離れたポリシリコン領域上に、n 型イオン注入用のフォトマスク端の位置をレイアウトすることを特徴とする請求項 1 3 に記載の静電気保護装置の製造方法。

【請求項 1 6】 該絶縁手段形成工程は、半導体集積回路を構成する MOS トランジスタが形成される活性領域を分離する素子分離絶縁体を形成する工程と、

該素子分離絶縁体および p 型イオン注入レジストをマ

4

スクとして、p 型不純物をイオン注入する工程と、

該素子分離絶縁体および n 型イオン注入レジストをマスクとして n 型不純物をイオン注入する工程と、

該 p 型アノード高濃度不純物領域の表面と該 n 型カソード高濃度不純物領域の表面とにシリサイド層を形成する工程とを包含する、請求項 1 2 に記載の静電気保護装置の製造方法。

【請求項 1 7】 請求項 1 6 に記載の p 型および n 型不純物をイオン注入する工程において、

10 サイリスタのトリガーダイオードの n 型カソード高濃度不純物領域が p 型基板もしくは p 型ウェルと p n 接合を形成する場合に、n 型不純物注入領域端から離れたトリガーダイオード中央の素子分離絶縁体上に、p 型イオン注入用のフォトマスク端の位置をレイアウトすることを特徴とする請求項 1 6 に記載の静電気保護装置の製造方法。

【請求項 1 8】 請求項 1 6 に記載の p 型および n 型不純物をイオン注入する工程において、

20 サイリスタのトリガーダイオードの p 型アノード高濃度不純物領域と n 型基板もしくは n 型ウェルが p n 接合を形成する場合に、p 型不純物注入領域端から離れたトリガーダイオード中央の素子分離絶縁体上に、n 型イオン注入用のフォトマスク端の位置をレイアウトすることを特徴とする請求項 1 6 に記載の静電気保護装置の製造方法。

【請求項 1 9】 半導体集積回路の入出力端子から流入する静電気サージを基準電圧線へ迂回させる静電気保護回路であって、

請求項 1 に記載のトリガーダイオードを備えた静電気保護装置と、

保護ダイオードとを備えており、

該静電気保護装置と該保護ダイオードとは、該半導体集積回路の入／出力信号線と基準電圧線との間に並列に配置されており、

該静電気保護装置に備えられたサイリスタのアノードとアノードゲートと該保護ダイオードのカソードとは、該入／出力信号線に接続されており、

該サイリスタのカソードとカソードゲートと該保護ダイオードのアノードとは、該基準電圧線に接続されてお

40 り、
該静電気保護装置は、該サイリスタの該アノードと該保護ダイオードの該カソードとの間に基板と異なる導電型のウェル中に形成された抵抗器をさらに備えている静電気保護回路。

【請求項 2 0】 半導体集積回路の入出力部から流入する静電気サージを電源供給線へ迂回させる静電気保護回路であって、

請求項 1 に記載のトリガーダイオードを備えた静電気保護装置と、

50 n 型基板もしくは n 型ウェル中に形成された保護ダイオ

(4)

5

ードとを備えており、

該静電気保護装置と該保護ダイオードとは、半導体集積回路の入／出力信号線と電源供給線との間に並列に配置されており、

該静電気保護装置に備えられたサイリスタのアノードとアノードゲートと該保護ダイオードのカソードとは、該半導体集積回路の電源供給線に接続されており、

該サイリスタのカソードと該保護ダイオードのアノードとは、該入／出力信号線に接続されており、

該サイリスタのカソードゲートは、該基準電圧線に接続されており、

該静電気保護装置は、該サイリスタの該カソードと該保護ダイオードの該アノードとの間に基板と異なる導電型のウェル中に形成された抵抗器をさらに備えている静電気保護回路。

【請求項21】 半導体集積回路の電源供給線から流入する静電気サージを基準電圧線へ迂回させる静電気保護回路であって、

請求項1に記載のトリガーダイオードを備えた静電気保護装置を備えており、

該静電気保護装置は、該半導体集積回路の電源供給線と基準電圧線との間に配置されており、

該静電気保護装置に備えられたサイリスタのアノードとアノードゲートとは、該電源供給線に接続されており、該サイリスタのカソードとカソードゲートとは、該基準電圧線に接続されている静電気保護回路。

【請求項22】 請求項19から21のいずれかに記載の静電気保護回路であって、

該保護ダイオードのn型カソード高濃度不純物領域とp型アノード高濃度不純物領域とは、請求項12に記載の静電気保護装置の製造方法と同一の製造方法で製造される静電気保護回路。

【請求項23】 半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項19に記載の静電気保護回路と、請求項20に記載の静電気保護回路と、請求項21に記載の静電気保護回路を備えており、該請求項19に記載の静電気保護回路は該半導体集積回路の入／出力信号線と基準電圧線間に形成されており、該請求項20に記載の静電気保護回路は該半導体集積回路の入／出力信号線と電源供給線間に形成されており、請求項21に記載の静電気保護回路が該半導体集積回路の電源供給線と基準電圧線間に形成されている静電気保護回路。

【請求項24】 半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた静電気保護装置を三つ備え

6

ており、第一の該静電気保護装置に備えられた第一のサイリスタのアノードとアノードゲートは、該半導体集積回路の電源供給線に接続し、該第一のサイリスタのカソードは該半導体集積回路の入／出力信号線に接続し、該第一のサイリスタのカソードゲートは該半導体集積回路の基準電圧線に接続し、該第二の静電気保護装置に備えられた第二のサイリスタのアノードとアノードゲートは該半導体集積回路の入／出力信号線に接続し、該第二のサイリスタのカソードとカソードゲートは基準電圧線に接続し、該第三の静電気保護装置に備えられた第三のサイリスタのアノードとアノードゲートは該半導体集積回路の電源供給線に接続し、該第三のサイリスタのカソードとカソードゲートは基準電圧線に接続する静電気保護回路。

【請求項25】 半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項19に記載の静電気保護回路と、請求項21に記載の静電気保護回路を備えており、該請求項19に記載の静電気保護回路は該半導体集積回路の入／出力信号線と基準電圧線間に形成されており、請求項21に記載の静電気保護回路が該半導体集積回路の電源供給線と基準電圧線間に形成されている静電気保護回路。

【請求項26】 半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた第一の静電気保護装置を該半導体集積回路の基準電圧線と入／出力信号線間に備えており、該第一の静電気保護装置に備えられた第一のサイリスタのアノードとアノードゲートは、該半導体集積回路の入／出力信号線に接続し、該第一のサイリスタのカソードとカソードゲートは該半導体集積回路の基準電圧線に接続し、請求項1に記載のトリガーダイオードを備えた第二の静電気保護装置を該半導体集積回路の基準電圧線と電源供給線間に備えており、該第二の静電気保護装置に備えられた第二のサイリスタのアノードとアノードゲートは、該半導体集積回路の電源供給線に接続し、該第二のサイリスタのカソードとカソードゲートは、該半導体集積回路の基準電圧線に接続する静電気保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路において、外部からの静電流入または帯電した半導体集積回路から外部への静電気放出現象によって半導体集積回路が破壊されることから保護する静電気保護装置、その製造方法および静電気保護装置を用いた静電気保護回路に関する。

(5)

7

【0002】

【従来の技術】半導体集積回路で問題とされる静電気放電は、半導体集積回路の取り扱い時に、帯電した人体や機械装置等から静電気が半導体集積回路に流入したり、摩擦などで半導体集積回路自体が帯電し、外部の導体に静電気を放出する現象である。静電気放電現象によって、瞬時に静電気が半導体集積回路に流入、または半導体集積回路から流出するため、半導体集積回路装置の内部に過大な電流が流れ、また、過電流によって過大な電圧が内部回路に印加され、半導体集積回路内で接合破壊、配線溶断、酸化膜絶縁破壊等が生じ、半導体集積回路が破壊される。

【0003】静電気放電現象によって半導体集積回路が破壊されるのを防ぐために、一般に、半導体集積回路の外部端子と内部回路の間に静電気保護装置が設けられており、静電気の迂回回路が形成されている。この静電気保護装置は半導体集積回路を形成する製造工程を用いて形成される。半導体集積回路の製造コストを増加させないため、半導体集積回路の製造工程以外に特別な製造工程を付加せずに静電気保護装置が形成されることが望ましい。

【0004】静電気保護装置としては、半導体集積回路の内部を過渡的に流れる電流を制限する、拡散抵抗、ポリシリコン抵抗といった電流制限素子や、内部回路に印加される電圧を抑制する、ダイオード、サイリスタ、MOSトランジスタ、バイポーラトランジスタといった電圧クランプ素子で構成される保護回路が一般に用いられる。

【0005】サイリスタは、電圧クランプ素子として、過大な放電電流を流すことに長けている。しかし、サイリスタがオン状態となるトリガ電圧は、本来、25～40Vと高電圧であるため、サイリスタ動作前に半導体集積回路が破壊されやすく、トリガ電圧を低電圧化下するため特別な工夫がされてきた。

【0006】図24は、従来の静電気保護装置の断面図を示す。図24には低電圧でトリガするサイリスタの一例が示されている（日本国特許番号第2505652号）。

【0007】図24を参照して、p型基板1にn型不純物拡散層で形成されたn型ウェル2が形成されている。n型ウェル2の中には、p型アノード高濃度不純物領域4とn型アノードゲート高濃度不純物領域5が形成されている。n型ウェル2とp型基板1の境界には、p型高濃度不純物領域55が形成されており、p型高濃度不純物領域55の一部はn型ウェル2に囲まれ、一部はp型基板1に囲まれている。n型ウェル2から離れたp型基板1の領域には、n型カソード高濃度不純物領域6とp型カソードゲート高濃度不純物領域7とが形成されている。p型アノード高濃度不純物領域4とn型アノードゲート高濃度不純物領域5とはコンタクト16とメタ

8

ル18とを介してアノード端子36に接続されている。n型カソード高濃度不純物領域6とp型カソードゲート高濃度不純物領域7とはコンタクト16とメタル53とを介してカソード端子54に接続されている。

【0008】図25を参照して、図19で説明した低電圧サイリスタは、一例として半導体集積回路の電源供給線と基準電圧線との間に配置される。静電気保護装置56のアノード端子36は、電源供給線52に接続され、静電気保護装置56のカソード端子54は基準電圧線45に接続される。静電気放電による過電圧が電源供給線52に加わり、静電気保護装置56内のサイリスタのトリガ電圧に達すると、サイリスタがオン状態になり、低抵抗経路が電源供給線52と基準電圧線45との間に形成される。この低抵抗経路によって、電源供給端子51から流入する静電気を基準電圧端子44へ逃がし、電源供給線52と基準電圧線45に接続された半導体集積回路57の破壊を防ぐ。

【0009】p型高濃度不純物領域55が形成されていない場合には、サイリスタのトリガ電圧は、p型基板1とn型ウェル2とのブレイクダウン電圧で決まり、一般のCMOS半導体集積回路の製造工程では、25Vから40Vと高電圧となる。このような高電圧では、サイリスタがオン状態になる前に半導体集積回路57の内部回路が破壊されてしまう。図24に示されるサイリスタのトリガ電圧は、p型高濃度不純物領域55とn型ウェル2のブレイクダウン電圧によって決まり、p型高濃度不純物領域55の存在によって、ブレイクダウン電圧は、p型基板1とn型ウェル2とのブレイクダウン電圧よりも低くすることができる。

【0010】

【発明が解決しようとする課題】半導体集積回路の最小加工寸法が微細になり、集積回路の高速動作が望まれるようになると、MOSトランジスタのソース／ドレイン拡散抵抗やゲート配線抵抗を低減するために、サリサイド工程（自己整合シリサイド）が使われるようになった。サリサイド工程では、低抵抗化するシリコン基板表面およびポリシリコン表面を露出させておき、チタンやコバルト等の高融点金属を堆積した後、熱処理を加えることで、シリコン表面とポリシリコン表面にシリコンと高融点金属の合金（シリサイド）を形成するものである。

【0011】CMOSプロセスでのサリサイド工程では、MOSトランジスタのゲート酸化膜または素子分離絶縁体で被われていないシリコン表面はシリサイド層が形成される。図20の低電圧でトリガーされるサイリスタにおいて、トリガーとなるp型高濃度不純物領域55とn型ウェル2のシリコン表面は、共にシリサイド層が形成される。すると、p型高濃度不純物領域55とn型ウェル2は電氣的に短絡してしまい、p型高濃度不純物領域55とn型ウェル2間でブレイクダウンが生じなく

(6)

9

なるという問題がある。また、p型高濃度不純物領域55とn型ウェル2が電氣的に短絡することにより、n型アノードゲート高濃度不純物領域5、n型ウェル2、p型高濃度不純物領域55、p型基板1、p型カソードゲート高濃度不純物領域7が短絡し、アノード端子36とカソード端子54とが短絡するという問題が生じる。

【0012】p型高濃度不純物領域55とn型ウェル2が電氣的に短絡することを避ける手段として、シリサイド工程の前に、半導体集積回路を形成する工程とは別に、p型高濃度不純物領域55とn型ウェル2のpn接合部のシリコン表面上にシリサイド化を阻害する絶縁体を形成しておく方法がある。しかしこの方法では、半導体集積回路の工程に新たな工程やフォトリソを加えることになるので、半導体集積回路の製造コストが上昇するという問題がある。

【0013】本発明は、半導体集積回路の製造でシリサイド工程が用いられた場合であっても、半導体集積回路の製造工程に何等特別な工程やフォトリソを追加しないで形成できる静電気保護装置、その製造方法および静電気保護装置を用いた静電気保護回路を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る静電気保護装置は、半導体集積回路の入力部または出力部に設けられ、該半導体集積回路の外部から該半導体集積回路への静電気サージの流入または該半導体集積回路から該半導体集積回路の外部への静電気サージの放出から該半導体集積回路の内部回路を保護する静電気保護装置であって、サイリスタと、該サイリスタを低電圧でオン状態にトリガーするトリガーダイオードとを備えており、該トリガーダイオードは、n型カソード高濃度不純物領域と、p型アノード高濃度不純物領域と、該n型カソード高濃度不純物領域の表面に形成されるシリサイド層と該p型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁する絶縁手段とを備えており、そのことにより上記目的が達成される。

【0015】該絶縁手段は、該n型カソード高濃度不純物領域と該p型アノード高濃度不純物領域との間に形成され、該半導体集積回路のMOSトランジスタのゲートを形成するゲート酸化膜と、該ゲート酸化膜の上にパターンニングされたポリシリコンと、該ゲート酸化膜と該ポリシリコンとの側壁に形成され、該n型カソード高濃度不純物領域の表面に形成されるシリサイド層と該p型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁するゲート側壁絶縁体とを含んでいてもよい。

【0016】該絶縁手段は、該n型カソード高濃度不純物領域と該p型アノード高濃度不純物領域との間に形成され、該半導体集積回路のMOSトランジスタの素子分離領域を形成する素子分離絶縁体を含んでいてもよい。

10

【0017】該静電気保護装置は、p型半導体基板に形成されており、該n型カソード高濃度不純物領域は、n型ウェル中に形成されており、該p型アノード高濃度不純物領域の一部は該n型ウェルに含まれており、該p型アノード高濃度不純物領域の他の一部は該p型半導体基板またはp型ウェルに含まれていてもよい。

【0018】該静電気保護装置は、p型半導体基板に形成されており、該p型アノード高濃度不純物領域は、該p型半導体基板またはp型ウェル中に形成されており、該n型カソード高濃度不純物領域の一部はn型ウェルに含まれており、該n型カソード高濃度不純物領域の他の一部は該p型半導体基板または該p型ウェルに含まれていてもよい。

【0019】該静電気保護装置は、n型半導体基板に形成されており、該n型カソード高濃度不純物領域は、該n型半導体基板中に形成されており、該p型アノード高濃度不純物領域の一部はp型ウェルに含まれており、該p型アノード高濃度不純物領域の他の一部は該n型半導体基板またはn型ウェルに含まれていてもよい。

【0020】該静電気保護装置は、n型半導体基板に形成されており、該p型アノード高濃度不純物領域は、p型ウェル中に形成されており、該n型カソード高濃度不純物領域の一部は該p型ウェルに含まれており、該n型カソード高濃度不純物領域の他の一部は該n型半導体基板またはn型ウェルに含まれていてもよい。

【0021】本発明に係る静電気保護装置の製造方法は、請求項1に記載の静電気保護装置の製造方法であって、n型カソード高濃度不純物領域を形成する工程と、p型アノード高濃度不純物領域を形成する工程と、該n型カソード高濃度不純物領域の表面に形成されるシリサイド層と該p型アノード高濃度不純物領域の表面に形成されるシリサイド層とを電氣的に絶縁する絶縁手段を形成する絶縁手段形成工程とを包含しており、そのことにより上記目的が達成される。

【0022】該絶縁手段形成工程は、半導体集積回路のMOSトランジスタのゲートを形成するゲート酸化膜をシリコン基板上に形成する工程と、MOSトランジスタのゲート電極となるポリシリコンを該ゲート酸化膜の上にパターンニングする工程と、該ポリシリコンおよびp型イオン注入レジストをマスクとして、p型不純物をイオン注入する工程と、該ポリシリコンおよびn型イオン注入レジストをマスクとしてn型不純物をイオン注入する工程と、該ポリシリコンと該ゲート酸化膜との側壁にゲート側壁絶縁体を形成する工程と、該n型カソード高濃度不純物領域の表面と該p型アノード高濃度不純物領域の表面とにシリサイド層を形成する工程とを包含していてもよい。

【0023】請求項13に記載のp型またはn型不純物をイオン注入する工程において、サイリスタのトリガーダイオードのn型カソード高濃度不純物領域がp型基板

(7)

11

もしくはp型ウェルとpn接合を形成する場合に、n型不純物注入領域端から離れたポリシリコン領域上に、p型イオン注入用のフォトマスク端の位置をレイアウトしてもよい。

【0024】請求項13に記載のp型またはn型不純物をイオン注入する工程において、サイリスタのトリガーダイオードのp型アノード高濃度不純物領域がn型基板もしくはn型ウェルとpn接合を形成する場合に、p型不純物注入領域端から離れたポリシリコン領域上に、n型イオン注入用のフォトマスク端の位置をレイアウトしてもよい。

【0025】該絶縁手段形成工程は、半導体集積回路を構成するMOSトランジスタが形成される活性領域を分離する素子分離絶縁体を形成する工程と、該素子分離絶縁体およびp型イオン注入レジストをマスクとして、p型不純物をイオン注入する工程と、該素子分離絶縁体およびn型イオン注入レジストをマスクとしてn型不純物をイオン注入する工程と、該p型アノード高濃度不純物領域の表面と該n型カソード高濃度不純物領域の表面とにシリサイド層を形成する工程とを包含してもよい。

【0026】請求項16に記載のp型およびn型不純物をイオン注入する工程において、サイリスタのトリガーダイオードのn型カソード高濃度不純物領域がp型基板もしくはp型ウェルとpn接合を形成する場合に、n型不純物注入領域端から離れたトリガーダイオード中央の素子分離絶縁体上に、p型イオン注入用のフォトマスク端の位置をレイアウトしてもよい。

【0027】請求項16に記載のp型およびn型不純物をイオン注入する工程において、サイリスタのトリガーダイオードのp型アノード高濃度不純物領域とn型基板もしくはn型ウェルがpn接合を形成する場合に、p型不純物注入領域端から離れたトリガーダイオード中央の素子分離絶縁体上に、n型イオン注入用のフォトマスク端の位置をレイアウトしてもよい。

【0028】本発明に係る静電気保護回路は、半導体集積回路の入出力端子から流入する静電気サージを基準電圧線へ迂回させる静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた静電気保護装置と、保護ダイオードとを備えており、該静電気保護装置と該保護ダイオードとは、該半導体集積回路の入／出力信号線と基準電圧線との間に並列に配置されており、該静電気保護装置に備えられたサイリスタのアノードとアノードゲートと該保護ダイオードのカソードとは、該入／出力信号線に接続されており、該サイリスタのカソードとカソードゲートと該保護ダイオードのアノードとは、該基準電圧線に接続されており、該静電気保護装置は、該サイリスタの該アノードと該保護ダイオードの該カソードとの間に基板と異なる導電型のウェル中に形成された抵抗器をさらに備えており、そのことにより上記目的が達成される。

12

【0029】本発明に係る他の静電気保護回路は、半導体集積回路の入出力部から流入する静電気サージを電源供給線へ迂回させる静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた静電気保護装置と、n型基板もしくはn型ウェル中に形成された保護ダイオードとを備えており、該静電気保護装置と該保護ダイオードとは、半導体集積回路の入／出力信号線と電源供給線との間に並列に配置されており、該静電気保護装置に備えられたサイリスタのアノードとアノードゲートと該保護ダイオードのカソードとは、該半導体集積回路の電源供給線に接続されており、該サイリスタのカソードと該保護ダイオードのアノードとは、該入／出力信号線に接続されており、該サイリスタのカソードゲートは、該基準電圧線に接続されており、該静電気保護装置は、該サイリスタの該カソードと該保護ダイオードの該アノードとの間に基板と異なる導電型のウェル中に形成された抵抗器をさらに備えており、そのことにより上記目的が達成される。

【0030】本発明に係るさらに他の静電気保護回路は、半導体集積回路の電源供給線から流入する静電気サージを基準電圧線へ迂回させる静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた静電気保護装置を備えており、該静電気保護装置は、該半導体集積回路の電源供給線と基準電圧線との間に配置されており、該静電気保護装置に備えられたサイリスタのアノードとアノードゲートとは、該電源供給線に接続されており、該サイリスタのカソードとカソードゲートとは、該基準電圧線に接続されており、そのことにより上記目的が達成される。

【0031】該保護ダイオードのn型カソード高濃度不純物領域とp型アノード高濃度不純物領域とは、請求項12に記載の静電気保護装置の製造方法と同一の製造方法で製造されてもよい。

【0032】本発明に係るさらに他の静電気保護回路は、半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項19に記載の静電気保護回路と、請求項20に記載の静電気保護回路と、請求項21に記載の静電気保護回路を備えており、該請求項19に記載の静電気保護回路は該半導体集積回路の入／出力信号線と基準電圧線間に形成されており、該請求項20に記載の静電気保護回路は該半導体集積回路の入／出力信号線と電源供給線間に形成されており、請求項21に記載の静電気保護回路が該半導体集積回路の電源供給線と基準電圧線間に形成され、そのことにより上記目的が達成される。

【0033】本発明に係るさらに他の静電気保護回路は、半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力

(8)

13

力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた静電気保護装置を三つ備えており、第一の該静電気保護装置に備えられた第一のサイリスタのアノードとアノードゲートは、該半導体集積回路の電源供給線に接続し、該第一のサイリスタのカソードは該半導体集積回路の入／出力信号線に接続し、該第一のサイリスタのカソードゲートは該半導体集積回路の基準電圧線に接続し、該第二の静電気保護装置に備えられた第二のサイリスタのアノードとアノードゲートは該半導体集積回路の入／出力信号線に接続し、該第二のサイリスタのカソードとカソードゲートは基準電圧線に接続し、該第三の静電気保護装置に備えられた第三のサイリスタのアノードとアノードゲートは該半導体集積回路の電源供給線に接続し、該第三のサイリスタのカソードとカソードゲートは基準電圧線に接続し、そのことにより上記目的が達成される。

【0034】本発明に係るさらに他の静電気保護回路は、半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項19に記載の静電気保護回路と、請求項21に記載の静電気保護回路を備えており、該請求項19に記載の静電気保護回路は該半導体集積回路の入／出力信号線と基準電圧線間に形成されており、請求項21に記載の静電気保護回路が該半導体集積回路の電源供給線と基準電圧線間に形成され、そのことにより上記目的が達成される。

【0035】本発明に係るさらに他の静電気保護回路は、半導体集積回路の入出力端子、基準電圧端子、または電源供給端子から流入する静電気サージを、他の入出力端子、基準電圧端子、または電源供給端子へ逃がす静電気保護回路であって、請求項1に記載のトリガーダイオードを備えた第一の静電気保護装置を該半導体集積回路の基準電圧線と入／出力信号線間に備えており、該第一の静電気保護装置に備えられた第一のサイリスタのアノードとアノードゲートは、該半導体集積回路の入／出力信号線に接続し、該第一のサイリスタのカソードとカソードゲートは該半導体集積回路の基準電圧線に接続し、請求項1に記載のトリガーダイオードを備えた第二の静電気保護装置を該半導体集積回路の基準電圧線と電源供給線間に備えており、該第二の静電気保護装置に備えられた第二のサイリスタのアノードとアノードゲートは、該半導体集積回路の電源供給線に接続し、該第二のサイリスタのカソードとカソードゲートは、該半導体集積回路の基準電圧線に接続し、そのことにより上記目的が達成される。

【0036】

【発明の実施の形態】以下、実施の形態に基づいて、本発明について詳細に説明する。

14

【0037】本発明の実施の形態では、半導体基板に低濃度のボロンを含有したp型半導体を用いた例を説明するが、他の不純物を含有する半導体基板やn型半導体基板でも以下の説明は適用できるのはもちろんである。

【0038】図1は、本発明による一実施の形態であり、静電気保護装置であるトリガーダイオードを有するサイリスタの構造を説明する断面図である。

【0039】p型基板1中には、n型ウェル2が形成されている。n型ウェル2の表面には、p型アノード高濃度不純物領域4とn型アノードゲート高濃度不純物領域5とが形成されている、n型ウェル2から離れたp型基板2の表面には、p型カソードゲート高濃度不純物領域7とn型カソード高濃度不純物領域6とが形成されている。p型アノード高濃度不純物領域4、n型アノードゲート高濃度不純物領域5、p型カソードゲート高濃度不純物領域7、およびn型カソード高濃度不純物領域6のそれぞれの表面には、シリサイド層10が形成されており、コンタクト16を介してメタル17、18および19に接続している。

【0040】サイリスタ動作のトリガーを与えるトリガーダイオードAは、トリガーダイオードAのアノードとなるp型高濃度不純物領域8、カソードとなるn型高濃度不純物領域9およびn型ウェル2で構成されている。トリガーダイオードAのアノードとなるp型高濃度不純物領域8、カソードとなるn型高濃度不純物領域9の上部には、半導体集積回路のMOSトランジスタのゲート部分を構成するゲート酸化膜13、ポリシリコン14、ゲート側壁絶縁体12が存在する。ポリシリコン14の上には、半導体集積回路のシリサイド工程で、シリコン上のシリサイド層10と同時に形成されたシリサイド層11が有る。ゲート側壁絶縁体12の表面にはシリサイド層が形成されないで、トリガーダイオードAのp型高濃度不純物領域8とカソードとなるn型高濃度不純物領域9とがシリサイド層によって短絡することがない。

【0041】トリガーダイオードAがないサイリスタの場合は、サイリスタ動作のトリガー電圧は、n型ウェル2とp型基板1の間のブレイクダウン電圧で決まり、CMOS半導体集積回路の製造工程では、一般に、25ボルトから40ボルトの高電圧となる。これに対し、本発明によるサイリスタのトリガー電圧は、トリガーダイオードのp型高濃度不純物領域8とn型ウェルのブレイクダウン電圧で決まるので、低電圧でオン状態となるサイリスタを形成することができる。

【0042】図2は、本発明の実施の形態に係る静電気保護装置の他の例の断面図を示す。図2のサイリスタ構造では、トリガーダイオードAのアノードとなるp型高濃度不純物領域8、カソードとなるn型高濃度不純物領域9の間には、半導体集積回路のMOSトランジスタの素子分離絶縁体3が存在する。素子分離絶縁体3には、シリサイド層10が形成されないで、トリガーダイオ

(9)

15

ードのp型高濃度不純物領域8、カソードとなるn型高濃度不純物領域9が、シリサイド層の形成によって短絡しない構造となっている。

【0043】図3は、本発明の実施の形態に係る静電気保護装置のさらに他の例の断面図を示す。図1および図2の実施例では、トリガーダイオードAのアノードとなるp型高濃度不純物領域8とn型ウェル2との間のブレークダウンをサイリスタ動作のトリガーとする静電気保護装置の構造を示したが、トリガーダイオードのカソードとなるn型高濃度不純物領域9とp基板間1のブレークダウンをトリガーとする、図3に示す構造によっても、低電圧でトリガーし、トリガーダイオードAのアノードとカソードがシリサイド層の形成によって短絡しないサイリスタ構造を与えることができる。図3では、トリガーダイオードのカソードとなるn型高濃度不純物領域9の一部がp型基板1に含まれ、一部がn型ウェル2に含まれる構造となっている。

【0044】図4は、本発明の実施の形態に係る静電気保護装置のさらに他の例の断面図を示す。CMOS半導体集積回路の製造では、一般に、p型基板1上のn型ウェル2の領域以外に、p型基板1よりも高濃度な不純物濃度を持つp型ウェルが形成される。図4は、図1の実施の形態に対して、p型ウェル20が形成された例である。図4の構造においても、低電圧でトリガーするサイリスタが得られる。

【0045】以下、図5から図11を参照して、図1の本発明による静電気保護装置の製造方法を説明する。図5から図10は、主要な工程断面図を示している。図11は、静電気保護装置の製造工程を表すフローチャートを示している。

【0046】図5は、素子分離絶縁体3を形成する工程を表す断面図を示す。図6は、n型ウェル2を形成する工程を表す断面図を示す。図7は、ゲート側壁絶縁体12を形成する工程を表す断面図を示す。図8は、フォトリソレジスト26をパターンニングする工程を表す断面図を示す。図9は、高融点金属27を堆積する工程を表す断面図を示す。図10は、シリサイド層10、11を形成する工程を表す断面図を示す。

【0047】ここで例示した工程は、図1の静電気保護装置の製造に対応するが、図2の静電気保護装置も同じ工程で製造することができる。何故なら、図2の静電気保護装置では、トリガーダイオード部AにMOSトランジスタのゲート部と同じ構造体を形成する代わりに、素子分離絶縁体3を形成すれば良いからである。

【0048】図11および図5～図10を参照して、先ず、図5に示すように、p型基板1に素子分離絶縁体3を形成する(S101)。素子分離絶縁体3の形成方法としては、シリコンの局部酸化処理(local oxidation of silicon; LOCOS)による方法や浅いトレンチ(shallow trench isolation)形成による方法が一般に用いら

16

れているが、いかなる方法でもかまわない。素子分離絶縁体3で被われない領域は、薄い酸化膜22が被う。

【0049】次に、図6に示すように、フォトリソレジストをウェハ全面に塗布し、n型ウェル形成フォトリソマスクを用いて、フォトリソグラフィ工程によって、n型ウェル注入用のフォトリソレジスト21をパターンニングし、n型不純物を注入する。この後p型ウェル形成のため、p型ウェル注入マスクを用いてp型不純物を注入してもよい。フォトリソレジストを除去し、熱処理を加え、n型不純物を拡散してn型ウェル2を形成する(S102)。

【0050】次に、図7に示すように、薄い酸化膜22をエッチングで除去し、酸化処理によって、MOSトランジスタのゲート酸化膜13をシリコン基板上に形成する(S103)。ポリシリコンをウェハ全面に堆積させ、フォトリソレジストを全面に塗布した後、ゲート形成フォトリソマスクを用いて、フォトリソグラフィ工程でゲート用レジストをパターンニングし、ポリシリコンエッチングによって、ポリシリコン14をゲート酸化膜13上にパターンニングする(S104)。フォトリソレジストを除去し、酸化工程で、薄い酸化膜を全面に成長させ、フォトリソレジストをウェハ全面に塗布し、NMOSトランジスタのLDD注入マスクを用いて、フォトリソレジスト工程によって、NMOSトランジスタのLDD注入用レジストをパターンニングし、NMOSトランジスタのソース/ドレイン領域にn型不純物を注入する(S105)。同時に、NMOSトランジスタの短チャネル効果を抑制するためにp型不純物を注入してもよい。このとき、図1または図2の静電気保護装置のn型アノードゲート高濃度不純物領域5、n型カソード高濃度不純物領域6およびn型高濃度不純物領域9に不純物を注入してもよい。

【0051】フォトリソレジストを除去し、再度、フォトリソレジストを全面に塗布する。PMOSトランジスタのLDD注入マスクを用いて、フォトリソレジスト工程によって、PMOSトランジスタのLDD注入用レジストをパターンニングし、PMOSトランジスタのソース/ドレイン領域にp型不純物を注入する(S106)。同時に、PMOSトランジスタの短チャネル効果を抑制するためにn型不純物を注入してもよい。このとき、図1または図2の静電気保護装置のp型高濃度不純物領域4、p型カソードゲート高濃度不純物領域7およびp型高濃度不純物領域8に不純物を注入してもよい。

【0052】フォトリソレジストを除去し、酸化膜を全面に堆積し、全面を異方性酸化膜エッチングすることによって、ポリシリコン14の側壁にゲート側壁絶縁体12を形成する(S107)。薄い酸化膜24、25を堆積し、フォトリソレジストを全面に塗布する。NMOSトランジスタのソース/ドレイン注入マスクを用いて、フォトリソレジスト工程によって、NMOSトランジスタのソース/ドレイン注入用のフォトリソレジスト23をパターンニングし、n型不純物を注入する。この工程で、n型アノード

(10)

17

ゲート高濃度不純物領域5、n型カソード高濃度不純物領域6およびn型高濃度不純物領域9にn型不純物が注入される(S108)。フォトレジストを除去し、フォトレジストを全面に塗布する。

【0053】図8に示すように、PMOSトランジスタのソース/ドレイン注入マスクを用いて、フォトレジスト工程によって、PMOSトランジスタのソース/ドレイン注入用のフォトレジスト26をパターンニングし、p型不純物を注入する(S110)。この工程で、図1または図2の静電気保護装置のp型アノード高濃度不純物領域4、p型カソードゲート高濃度不純物領域7およびp型高濃度不純物領域8にp型不純物が注入される(S109)。

【0054】図9に示すように、フォトレジストを除去し、シリコンの活性領域上の酸化膜とポリシリコン上面の酸化膜を除去し、高融点金属27を堆積する(S110)。

【0055】図10に示すように、熱処理を加えて、シリコン基板の表面およびポリシリコン14の表面にシリサイド層10、11をそれぞれ形成し、未反応の高融点金属をはくりする(S111)。素子分離絶縁体3の表面とゲート側壁絶縁体12の表面にはシリサイド層は形成されない。ゲート側壁絶縁体12にはシリサイド層が形成されないため、トリガーダイオードを構成するp型高濃度不純物領域8とn型高濃度不純物領域9は、電気的に短絡することはない。その後、層間絶縁体を全面に堆積し、平坦化し、フォトレジストを全面に塗布し、コンタクトホール形成フォトマスクを用いて、コンタクトホール開口用レジストをパターンニングする。層間絶縁体をエッチングして、コンタクトホールを開口し、メタルをウェハ全面に堆積させ、メタル用フォトマスクを用いて、メタルのパターンニングを行うと図1または図2の静電気保護装置の形成が完了する。

【0056】以下、図12から図14を用いて、本発明による静電気保護装置のトリガーダイオードを構成するp型高濃度不純物領域とn型高濃度不純物領域に不純物を注入をする際の、フォトマスクのレイアウト位置を説明する。ここで説明するレイアウト位置は、静電気保護装置のトリガーダイオード部に対応しているが、後述の静電気保護回路を構成する保護ダイオードの製造にも適用できる。

【0057】図12は、本発明の実施の形態に係る静電気保護装置の形成時に回避すべき製造工程の不具合を説明する断面図を示す。この断面図は、図1の静電気保護装置のトリガーダイオード部Aを抜粋し、拡大した断面図である。トリガーダイオードのアノードであるp型高濃度不純物領域8の一部に、n型高濃度不純物が注入され、n型不純物領域9aが形成されている。これは、半導体集積回路のNMOSトランジスタのソース/ドレイン注入の際に、NMOSソース/ドレイン注入用フォ

18

マスクがアライメントずれを起こし、ゲートポリシリコン14の端29よりもアノード側の位置28にフォトマスク端が設定されたためである。n型不純物濃度がp型不純物濃度よりも僅かでも高濃度であれば、n型不純物領域9aが形成される。サリサイド工程では、p型高濃度不純物領域8とn型不純物領域9aの表面は、シリサイド層10が形成されるので、p型高濃度不純物領域8とn型不純物領域9aは電気的に短絡することになる。n型不純物領域9aとn型ウェル2とn型不純物領域9とは、同じ導電型であるので、トリガーダイオードのアノードとカソードが短絡する。アノードとカソードが短絡すると、トリガーダイオードの逆方向ブレイクダウンが生じなくなるばかりか、トリガーダイオードを含んでいる静電気保護装置であるサイリスターのアノードゲートとカソードゲートが短絡し、通常、高電位にあるアノードゲートから基準電位にあるカソードゲートへリーク電流が生じ、半導体集積回路の通常動作を阻害することになる。

【0058】図13は、本発明の実施の形態に係る静電気保護装置の形成方法を示す断面図を示す。この断面図は、トリガーダイオードのアノードとカソード間に短絡路が形成されない良好な場合について、NMOSソース/ドレイン注入用フォトマスクのレイアウト位置を説明する断面図である。半導体集積回路の製造工程において、NMOSソース/ドレイン注入用フォトマスクがゲートポリシリコンに対して、最大のアライメントずれを起こす距離DMAXだけ、NMOSソース/ドレイン注入用のフォトマスク端の位置30を不純物注入領域端であるゲートポリシリコン端29に対してカソード側のポリシリコン領域上にレイアウトしておく。このことによって、アノード側にn型高濃度不純物が注入されることが回避できる。

【0059】なお、図16で後述するn型基板またはn型ウェル中に形成される保護ダイオードの製造過程においても、本レイアウト手法は適用できる、また、トリガーダイオードのアノードとカソードが図2のように素子分離絶縁体3で絶縁される構造の場合は、NMOSソース/ドレイン注入用フォトマスクを素子分離絶縁体に対して、最大のアライメントずれを起こす距離だけ、NMOSソース/ドレイン注入用のフォトマスク端の位置30を素子分離領域絶縁体端に対してカソード側にレイアウトしておけばよい。

【0060】図14は、トリガーダイオードのカソードとなるn型高濃度不純物領域9とp型基板1のブレイクダウンをトリガーとする、図3の静電気保護装置のトリガーダイオード部を抜粋し、拡大した図である。PMOSソース/ドレイン注入時にp型高濃度不純物がカソードであるn型高濃度不純物領域9に注入されると、p型不純物濃度がn型不純物濃度よりも僅かでも高い場合に、n型高濃度不純物領域9のゲート14側にp型不純

(11)

19

物領域が形成される。すると、シリサイド層によってn型高濃度不純物領域9とp型基板1、p型高濃度不純物領域8が短絡し、トリガーダイオードのアノードとカソードが短絡してしまう。

【0061】図14は、本発明の実施の形態に係る静電気保護装置の他の例の形成方法を示す断面図を示す。この断面図は、トリガーダイオードのアノードとカソード間に短絡路が形成されないPMOSソース/ドレイン注入用フォトマスクの位置を説明する断面図である。

【0062】半導体集積回路の製造工程において、PMOSソース/ドレイン注入用フォトマスクがポリシリコン14に対して、最大のアライメントずれを起こす距離D_{MAX}だけ、PMOSソース/ドレイン注入用のフォトマスク端の位置34を不純物注入領域端であるゲートポリシリコン端33に対してカソード側のポリシリコン領域上にレイアウトしておくことによって、カソード側にp型高濃度不純物が注入されることが回避できる。本レイアウト手法は、p型基板またはp型ウェル中に形成される図15の保護ダイオードの製造過程にも適用できる。また、トリガーダイオードのアノードとカソードが、図2のように、素子分離絶縁体3を用いて電気的に絶縁されるトリガーダイオード構造の場合には、PMOSソース/ドレイン注入用フォトマスクを素子分離絶縁体3に対して、最大のアライメントずれを起こす距離D_{MAX}だけ、PMOSソース/ドレイン注入用のフォトマスク端の位置34を不純物注入領域端である素子分離絶縁体3の端部に対してアノード側にレイアウトしておけばよい。

【0063】図15、図18および図19は、請求項1に記載の静電気保護装置で構成される静電気保護回路の実施例であり、その詳細を説明する。

【0064】図15は、本発明の実施の形態に係る静電気保護装置で構成される静電気保護回路を表す模式図を示す。この模式図は、請求項1に記載した静電気保護装置を入/出力信号線と基準電圧線との間に用いて静電気保護回路を構成した実施例を示している。

【0065】静電気保護回路は、請求項1に記載の静電気保護装置39、保護ダイオード41、そしてウェル抵抗器46で構成されている。静電気保護装置のアノード端子36は、入/出力信号線43に接続し、カソード端子37およびカソードゲート端子38は基準電圧線45に接続する。入/出力信号線と基準電圧線間には、静電気から保護されるべき半導体集積回路40aが接続する。ウェル抵抗器46は、半導体基板がp型の場合はn型ウェルで形成され、半導体基板がn型の場合はpウェルで形成できる。保護ダイオード41は、静電気保護装置39と同一の製造工程で形成され、p型もしくはn型ウェル中に形成されたp型アノード高濃度不純物領域8とn型カソード高濃度不純物領域9で構成される。

【0066】図16は、本発明の静電気保護回路を構成

20

する保護ダイオードの構造を表す断面図を示す。図17は、本発明の静電気保護回路を構成する保護ダイオードの他の例の構造を表す断面図を示す。図16および図17は、p型基板1上に形成された保護ダイオード41の構造例を示している。保護ダイオード41においても、静電気保護装置のトリガーダイオードと同じく、p型アノード高濃度不純物領域8とn型カソード高濃度不純物領域9がシリサイド層で短絡しないように、ゲート側壁絶縁体12、ゲート酸化膜13およびポリシリコン14で構成されるゲート構造体を用いてアノードとカソードは絶縁されている。p型アノード高濃度不純物領域8とn型カソード高濃度不純物領域9との絶縁は、図2のトリガーダイオードAのように、素子分離絶縁体3を用いても可能である。保護ダイオード41のn型カソード高濃度不純物領域9は、入/出力信号線43に接続し、アノード8は基準電圧線45に接続する。

【0067】図15の静電気保護回路において、入/出力端子42に正の静電気が流入してきた場合、保護ダイオード41のPN接合でブレイクダウンが生じ、保護ダイオード41にブレイクダウン電流が流れる。保護ダイオード41にブレイクダウン電流が流れると、ウェル抵抗器46によってアノード端子36が高電圧になるので、保護ダイオード41のブレイクダウン電圧よりもターンオン電圧が僅かに大きい静電気保護装置39がターンオンし、入/出力信号線43と基準電圧線45間に低抵抗の迂回路が形成され、入/出力端子42から流入する静電気を静電気保護装置39を通して基準電圧線45に逃がすことができる。また、基準電圧端子44から正の静電気が流入する場合は、静電気保護装置39のp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成されるダイオードが順方向となり、また、保護ダイオード41も順方向となるので、基準電圧端子44から流入する正の静電気を入/出力信号線43、入出力端子42へ逃がすことができる。

【0068】図18は、本発明の実施の形態に係る静電気保護装置で構成される静電気保護回路の他の例を表す模式図を示す。この模式図は、請求項1に記載した静電気保護装置を用いて、電圧供給線と入/出力信号線間の静電気保護回路を構成した実施例を示す模式図である。

【0069】静電気保護回路は、請求項1に記載の静電気保護装置39、保護ダイオード41、そしてウェル抵抗器46で構成されている。静電気保護装置のアノード端子36は電源供給線52に接続し、カソード端子37は入/出力信号線43に接続し、カソードゲート端子38は基準電圧線45に接続されている。電源供給線52と入/出力信号線43の間には、静電気から保護されるべき半導体集積回路40bが接続されている。

【0070】保護ダイオード41は、静電気保護装置39と同一の製造工程で形成され、n型ウェル中に形成さ

(12)

21

れたp型アノード高濃度不純物領域8とn型カソード高濃度不純物領域9で構成される。図17は、p型基板1上のn型ウェル2に形成された保護ダイオード41の構造例である。保護ダイオード41のn型カソード高濃度不純物領域9は、電源供給線52に接続され、p型アノード高濃度不純物領域8は入/出力信号線43に接続されている。

【0071】図18の静電気保護回路において、電源供給端子51に正の静電気が流入する場合、保護ダイオード41のPN接合に逆方向電圧が印加され、ブレイクダウンが生じ、保護ダイオード41にブレイクダウン電流が流れる。保護ダイオード41にブレイクダウン電流が流れると、ウェル抵抗器46によってアノード端子36が高電圧になるので、静電気保護装置39がターンオンし、電源供給線52と入/出力信号線43間に低抵抗の迂回路が形成され、電源供給端子51から流入する静電気を静電気保護装置39を通して入/出力信号線43に逃がすことができる。また、入/出力端子42から正の静電荷が流入する場合は、保護ダイオード41が順方向となるので、入/出力端子42から流入する正の静電気を電源供給線52へ迂回させることができる。

【0072】図19は、請求項1に記載した静電気保護装置を用いて、電圧供給線と基準電圧線間の静電気保護回路を構成した実施例を示す図である。

【0073】静電気保護装置のアノード端子36は、電源供給線52に接続され、カソード端子37とカソードゲート端子38は基準電圧線45に接続されている。電源供給線52と基準電圧線45との間には、静電気から保護されるべき半導体集積回路40cが接続されている。

【0074】図19の静電気保護回路において、電源供給端子51に正の静電荷が流入してきた場合、静電気保護装置39のトリガーダイオードに逆方向電圧が印加され、静電気保護装置39がターンオンし、電源供給線52と基準電圧線45間に低抵抗の迂回路が形成され、電源供給端子51から流入する静電荷を静電気保護装置39を通して基準電圧線45へ逃がすことができる。また、基準電圧端子44から正の静電気が流入する場合は、静電気保護装置のp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、およびn型アノードゲート高濃度不純物領域5で形成されるダイオードが順方向になるので、基準電圧端子44から流入する正の静電気を電源供給線52、電源供給端子51へ迂回させることができる。

【0075】図20は、請求項1に記載した静電気保護装置を用いて、半導体集積回路の入出力端子、電源供給端子、基準電圧端子のあらゆる端子対間で静電気を迂回させることができる回路を構成した静電気保護回路の実施例を示す図である。

【0076】静電気保護回路は、請求項1に記載の静電

22

気保護装置39a、39b、39c、保護ダイオード41a、41b、そしてウェル抵抗器46で構成されている。静電気保護装置39aのアノード端子36aは電源供給線52に接続し、カソード端子37aは入/出力信号線43に接続し、カソードゲート端子38aは基準電圧線45に接続している。静電気保護装置39bのアノード端子36bは入/出力信号線43に接続し、カソード端子37bおよびカソードゲート端子38bは基準電圧線45に接続している。静電気保護装置39cのアノード端子36cは電源供給線52に接続し、カソード端子37cおよびカソードゲート端子38cは基準電圧線45に接続している。電源供給線52と基準電圧線45との間には、静電気から保護されるべき半導体集積回路40dが接続している。保護ダイオード41a、41bは、静電気保護装置39a、39b、39cと同一の製造工程で形成される。保護ダイオード41aは、p型アノード高濃度不純物領域8とn型カソード高濃度不純物領域9で構成され、図17に示されるp型基板1上のn型ウェル2に形成された保護ダイオードは一構造例である。保護ダイオード41aのp型アノード高濃度不純物領域8は入/出力信号線43に接続し、n型カソード高濃度不純物領域9は電源供給線52に接続している。保護ダイオード41bは、p型アノード高濃度不純物領域とn型カソード高濃度不純物領域9で構成され、図16に示されるp型基板1上に形成された保護ダイオードは一構造例である。保護ダイオード41bのp型アノード高濃度不純物領域8は基準電圧線45に接続し、n型カソード高濃度不純物領域9は入/出力信号線43に接続している。

【0077】図20の静電気保護回路において、電源供給端子51に正の静電気が流入する場合、保護ダイオード41aのPN接合に逆方向電圧が印加され、ダイオード41aに逆方向電流が流れると、ウェル抵抗器46によって、カソード端子37aに対してアノード端子36aが高電圧になるので、静電気保護装置39aがターンオンし、電源供給線52と入/出力信号線43間に低抵抗の迂回路が形成され、電源供給線52から流入する静電気を静電気保護装置39aを通して入/出力信号線43に逃がすことができる。また、入/出力信号線から正の静電気が流入する場合は、保護ダイオード41aが順方向となって、入/出力端子42から流入する正の静電気を電源供給線52へ迂回させることができる。また、入/出力端子42に正の静電気が流入してきた場合、保護ダイオード41bのPN接合で逆方向電圧が印加され、また、保護ダイオード41aが順方向になり、保護ダイオード41aもしくは41bに電流が流れることによって、ウェル抵抗器46によってアノード端子36bがカソード端子37bよりも高電圧になるので、静電気保護装置39aがターンオンし、入/出力端子43と基準電圧線45間に低抵抗の迂回路が形成され、入/出力

(13)

23

端子42から流入する静電気を静電気保護装置39bを通して基準電圧線45に逃がすことができる。基準電圧端子44から正の静電気が流入する場合は、静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成されるダイオードが順方向となり、また、保護ダイオード41bも順方向となるので、基準電圧端子44から流入する正の静電気を低抵抗の迂回路を通して、入/出力信号線43に逃がすことができる。また、電源供給端子51に正の静電気が流入してきた場合、電源供給線が基準電源線に対して高電圧になり、静電気保護装置39cがターンオンし、電源供給線52と基準電圧線45間に低抵抗の迂回路が形成され、電源供給端子から流入する静電気を静電気保護装置39cを通して基準電圧線45へ逃がすことができる。また、基準電圧端子44から正の静電気が流入する場合は、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成されるダイオードが順方向になり、また、保護ダイオード41aと41bが順方向で直列につながるの、基準電圧端子44から流入する正の静電気を電源供給線52、電源供給端子51へ低抵抗の迂回路を通して逃がすことができる。

【0078】図21は、請求項1に記載した静電気保護装置を用いて、半導体集積回路の入/出力端子、電源供給端子、基準電圧端子間のあらゆる端子対間で静電気を迂回させることができる静電気保護回路を構成した他の実施例を示す図である。

【0079】図21は、図20に記載の静電気保護回路中の保護ダイオード41aと41bを省いた静電気保護回路となっている。保護ダイオード41aと41bを省略することによって、入/出力端子42から正の静電気が流入した場合、半導体集積回路40dに保護ダイオード41aと41bのブレイクダウン電圧以上の電圧が半導体集積回路40dに印加される可能性があるが、静電気保護装置39aと39bのターンオン電圧程度の電圧印加に対して半導体集積回路40dが破壊されない場合は、図21に記載の静電気保護回路を用いることによって、以下に記述するように、半導体集積回路の入/出力端子、電源供給端子、基準電圧端子間のあらゆる端子間で静電気を迂回させることができる静電気保護回路を構成することができる。

【0080】図21で入/出力端子42から流入する正の静電気を電源供給端子に迂回させる場合は、入/出力端子42から入/出力信号線43、静電気保護装置39b、基準電圧線45、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52を経て電源供給端子51へという低抵抗の静電気の迂回路が形成され

24

る。また、図22で入/出力端子42から流入する正の静電気を基準電圧端子44に迂回させる場合は、入/出力端子42から、入/出力信号線43、静電気保護装置39b、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図21で、電源供給端子51から流入する正の静電気を入/出力端子42に迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39a、入/出力信号線43を経て入/出力信号端子42へという低抵抗の静電気の迂回路が形成される。また、図21で、電源供給端子51から流入する正の静電気を基準電圧端子44へ迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39c、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図21で、基準電圧端子44から流入する正の静電気を入/出力端子42へ迂回させる場合は、基準電圧端子44、静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、入/出力信号線43、入/出力端子42という低抵抗の静電気の迂回路が形成される。さらに、図21で、基準電圧端子44から流入する正の静電気を電源供給端子51へ迂回させる場合は、基準電圧端子44、基準電圧線45、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52、電源供給端子51で形成される低抵抗の静電気の迂回路が形成される。図21の静電気保護回路では、保護ダイオード41aと41bのブレイクダウン電圧以上の電圧印加に対して半導体集積回路40dが破壊されない場合、保護ダイオードの省略によって静電気保護回路のレイアウト面積を縮小することができ、半導体集積回路が形成されるチップ面積を縮小することができるので、ウェハー上に作り込まれる半導体集積回路のチップの数が増え、半導体集積回路のチップのコストが低減する効果がある。ウェル抵抗46は、半導体集積回路40dに流れ込む静電気を制限するものであるが、半導体集積回路40dの静電気耐性に応じて、ウェル抵抗46を省略することも可能である。

【0081】図22は、請求項1に記載した静電気保護装置を用いて、半導体集積回路の入/出力端子、電源供給端子、基準電圧端子間のあらゆる端子対間で静電気を迂回させることができる静電気保護回路を構成した他の実施例を示す図である。

【0082】図22では、図20に記載の静電気保護回路において、静電気保護装置39aと保護ダイオード41aを省いた静電気保護回路構成となっている。

【0083】図22静電気保護回路においても、以下に記述するように、半導体集積回路の入/出力端子、電源

(14)

25

供給端子、基準電圧端子間のあらゆる端子間で静電気を迂回させることができる静電気保護回路が形成される。

【0084】図22で入／出力端子42から流入する正の静電気を電源供給端子に迂回させる場合は、入／出力端子42から入／出力信号線43、静電気保護装置39b、基準電圧線45、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52を経て電源供給端子51へという低抵抗の静電気の迂回路が形成される。また、図22で入／出力端子42から流入する正の静電気を基準電圧端子44に迂回させる場合は、入／出力端子42から、入／出力信号線43、静電気保護装置39b、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図22で、電源供給端子51から流入する正の静電気を入／出力端子42に迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39c、基準電圧線45、保護ダイオード41bおよび静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、入／出力信号線43を経て入／出力信号端子42へという低抵抗の静電気の迂回路が形成される。また、図22で、電源供給端子51から流入する正の静電気を基準電圧端子44へ迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39c、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図22で、基準電圧端子44から流入する正の静電気を入／出力端子42へ迂回させる場合は、基準電圧端子44、静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52、電源供給端子51で形成される低抵抗の静電気の迂回路が形成される。

【0085】図22の静電気保護回路では、図20の静電気保護回路と比べて、半導体集積回路40dの電源供給線52との接点58と半導体集積回路40dの入／出力信号線43との接点59間で、保護ダイオード41aのブレークダウン電圧以上の過電圧が半導体集積回路40dに短時間印加される可能性があるが、半導体集積回路40dが静電気保護装置39bまたは静電気保護装置

26

39cのターンオン電圧程度の短時間の過電圧に対して十分な耐性がある場合、図20の静電気保護装置39aと保護ダイオード41aを省略することによって静電気保護回路のレイアウト面積を縮小することができ、半導体集積回路が形成されるチップ面積を縮小することができる。ウエル抵抗46は、半導体集積回路40dに流れ込む静電気を制限するものであるが、半導体集積回路40dの静電気耐性に応じて、ウエル抵抗46を省略することも可能である。

【0086】図23は、請求項1に記載した静電気保護装置を用いて、半導体集積回路の入／出力端子、電源供給端子、基準電圧端子間のあらゆる端子対間で静電気を迂回させることができる静電気保護回路を構成した他の実施例を示す図である。

【0087】図23では、図22に記載の静電気保護回路中の保護ダイオード41bを省いた静電気保護回路構成となっている。

【0088】図23で入／出力端子42から流入する正の静電気を電源供給端子に迂回させる場合は、入／出力端子42から入／出力信号線43、静電気保護装置39b、基準電圧線45、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52を経て電源供給端子51へという低抵抗の静電気の迂回路が形成される。また、図23で入／出力端子42から流入する正の静電気を基準電圧端子44に迂回させる場合は、入／出力端子42から、入／出力信号線43、静電気保護装置39b、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図23で、電源供給端子51から流入する正の静電気を入／出力端子42に迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39c、基準電圧線45、静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、入／出力信号線43を経て入／出力信号端子42へという低抵抗の静電気の迂回路が形成される。また、図23で、電源供給端子51から流入する正の静電気を基準電圧端子44へ迂回させる場合は、電源供給端子51、電源供給線52、静電気保護装置39c、基準電圧線45を経て基準電圧端子44へという低抵抗の静電気の迂回路が形成される。また、図23で、基準電圧端子44から流入する正の静電気を入／出力端子42へ迂回させる場合は、基準電圧端子44、静電気保護装置39bのp型カソードゲート高濃度不純物領域7、p型基板1、n型ウエル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、入／出力信号線43、入／出力端子42という低抵抗の静電気の迂回路が形成

(15)

27

される。さらに、図23で、基準電圧端子44から流入する正の静電気を電源供給端子51へ迂回させる場合は、基準電圧端子44、基準電圧線45、静電気保護装置39cのp型カソードゲート高濃度不純物領域7、p型基板r、n型ウェル2、n型アノードゲート高濃度不純物領域5で形成される順方向ダイオード、電源供給線52、電源供給端子51で形成される低抵抗の静電気の迂回路が形成される。

【0089】図23の静電気保護回路では、図22の静電気保護回路と比べて、半導体集積回路40dの基準電圧線45との接点60と半導体集積回路40dの入/出力信号線43との接点59間で、保護ダイオード41aのブレークダウン電圧以上の過電圧が半導体集積回路40dに短時間印加される可能性があるが、半導体集積回路40dが静電気保護装置39bのターンオン電圧程度の短時間の過電圧に対して十分な耐性がある場合、図22の保護ダイオード41bの省略によって静電気保護回路のレイアウト面積を縮小することができ、半導体集積回路が形成されるチップ面積を縮小することができ、半導体集積回路のチップのコストが低減する効果がある。ウェル抵抗46は、半導体集積回路40dに流れ込む静電気を制限するものであるが、半導体集積回路40dの静電気耐性に応じてウェル抵抗46を省略することも可能である。

【0090】

【発明の効果】本発明によるトリガーダイオードを備えたサイリスタ構造を用いれば、n型ウェルとp型基板（もしくはp型ウェル）、または、p型ウェルとn型基板（もしくはn型ウェル）のブレークダウン電圧以下の低電圧でオン状態になる静電気保護装置が形成でき、静電気放電現象による半導体集積回路の破壊に対して、より耐性のある静電気保護装置を得ることができる。また、半導体集積回路の製造工程で、サリサイド工程が用いられる場合でも、トリガーダイオードを構成するp型高濃度不純物領域とn型高濃度不純物領域が電氣的に絶縁され、サイリスタのアノードとカソードが電氣的に短絡して半導体集積回路の動作が阻害されるという問題を回避できる。

【0091】また、トリガーダイオードまたは保護ダイオードの製造において、本発明によるp型高濃度イオン注入またはn型高濃度イオン注入マスクのレイアウト手法を用いれば、半導体集積回路の製造工程でサリサイド工程が用いられる場合に、ダイオードのカソードとアノードが電氣的に短絡し、半導体集積回路にリーク電流が生じるという問題を回避することができる。

【0092】本発明によるサイリスタのトリガーダイオード形成の製造方法を用いれば、半導体集積回路の製造工程でシリサイド工程が用いられても、何等特別な工程やフォトマスクを追加することなく、また、半導体集積回路の製造コストを増加させずに、静電気保護装置を製

28

造することができる。

【0093】本発明の静電気保護装置を含んだ静電気保護回路を用いれば、電源供給線と入/出力信号線間、基準電圧線と入/出力信号線間、および電源供給線と基準電圧線間で、静電気の迂回路を形成することができ、電源供給線と入/出力信号線間、基準電圧線と入/出力信号線間、および電源供給線と基準電圧線間に接続する半導体集積回路を静電気放電現象による破壊から保護することができる。

10 【図面の簡単な説明】

【図1】本発明の実施の形態に係る静電気保護装置の断面図である。

【図2】本発明の実施の形態に係る静電気保護装置の他の例の断面図である。

【図3】本発明の実施の形態に係る静電気保護装置のさらに他の例の断面図である。

【図4】本発明の実施の形態に係る静電気保護装置のさらに他の例の断面図である。

20 【図5】本発明の実施の形態に係る静電気保護装置の製造工程において素子分離絶縁体3を形成する工程を表す断面図である。

【図6】本発明の実施の形態に係る静電気保護装置の製造工程においてn型ウェル2を形成する工程を表す断面図である。

【図7】本発明の実施の形態に係る静電気保護装置の製造工程においてゲート側壁絶縁体12を形成した後、n型不純物を注入する工程を表す断面図である。

30 【図8】本発明の実施の形態に係る静電気保護装置の製造工程においてフォトレジスト26をパターンニングした後、P型不純物を注入する工程を表す断面図である。

【図9】本発明の実施の形態に係る静電気保護装置の製造工程において高融点金属27を堆積する工程を表す断面図である。

【図10】本発明の実施の形態に係る静電気保護装置の製造工程においてシリサイド層10、11を形成した後、未反応の高融点金属をはくりした工程を表す断面図である。

【図11】本発明の実施の形態に係る静電気保護装置の製造工程を表すフローチャートである。

40 【図12】本発明の実施の形態に係る静電気保護装置の形成時に回避すべき製造工程の不具合を説明する断面図である。

【図13】本発明の実施の形態に係る静電気保護装置の形成方法を示す断面図である。

【図14】本発明の実施の形態に係る静電気保護装置の他の例の形成方法を示す断面図である。

【図15】本発明の実施の形態に係る静電気保護装置で構成される静電気保護回路を表す模式図である。

50 【図16】本発明の静電気保護回路を構成する保護ダイオードの構造を表す断面図である。

(16)

29

【図17】本発明の静電気保護回路を構成する保護ダイオードの他の例の構造を表す断面図である。

【図18】本発明の実施の形態に係る静電気保護装置で構成される静電気保護回路の他の例を表す模式図である。

【図19】本発明の実施の形態に係る静電気保護回路のさらに他の例を表す模式図である。

【図20】本発明の実施の形態に係る静電気保護回路の一例を表す模式図である。

【図21】本発明の実施の形態に係る静電気保護回路の一例を表す模式図である。

【図22】本発明の実施の形態に係る静電気保護回路の一例を表す模式図である。

【図23】本発明の実施の形態に係る静電気保護回路の一例を表す模式図である。

【図24】従来の静電気保護装置の断面図である。

【図25】従来の静電気保護装置で構成される静電気保護回路の模式図である。

【符号の説明】

- 1 p型基板
- 2 n型ウェル
- 3 素子分離絶縁体
- 4 p型アノード高濃度不純物領域
- 5 n型アノードゲート高濃度不純物領域
- 6 n型カソード高濃度不純物領域
- 7 p型カソードゲート高濃度不純物領域
- 8 p型高濃度不純物領域
- 9 n型高濃度不純物領域
- 10 シリコン基板上に形成されたシリサイド層
- 11 ポリシリコン上に形成されたシリサイド層
- 12 ゲート側壁絶縁体
- 13 ゲート酸化膜
- 14 ポリシリコン
- 15 層間絶縁体
- 16 コンタクト
- 17 メタル
- 18 メタル
- 19 メタル
- 20 p型ウェル
- 21 フォトレジスト
- 22 薄い酸化膜
- 23 フォトレジスト
- 24 薄い酸化膜
- 25 薄い酸化膜
- 26 フォトレジスト
- 27 高融点金属堆積層

30

28 NMOSソース／ドレイン注入用のフォトマスク端の位置

29 ゲートポリシリコン端

30 NMOSソース／ドレイン注入用のフォトマスク端の位置

32 PN接合

33 ゲートポリシリコン端

34 PMOSソース／ドレイン注入用のフォトマスク端の位置

35 PN接合

36 静電気保護装置（サイリスタ）のアノード端子

37 静電気保護装置（サイリスタ）のカソード端子

38 静電気保護装置（サイリスタ）のカソードゲート端子

39 静電気保護装置

40 a、40 b、40 c 半導体集積回路

41 保護ダイオード

42 入出力端子

43 入／出力信号線

20 44 基準電圧端子

45 基準電圧線

46 ウェル抵抗器

47 カソード端子

48 アノード端子

49 アノード端子

50 カソード端子

51 電源供給端子

52 電源供給線

53 メタル

30 54 カソード端子

55 p型高濃度不純物領域

56 静電気保護装置

57 半導体集積回路

36 a、36 b、36 c 静電気保護装置（サイリスタ）のアノード端子

37 a、37 b、37 c 静電気保護装置（サイリスタ）のカソード端子

38 a、38 b、38 c 静電気保護装置（サイリスタ）のカソードゲート端子

40 39 a、39 b、39 c 静電気保護回路

40 d 半導体集積回路

41 a、41 b 保護ダイオード

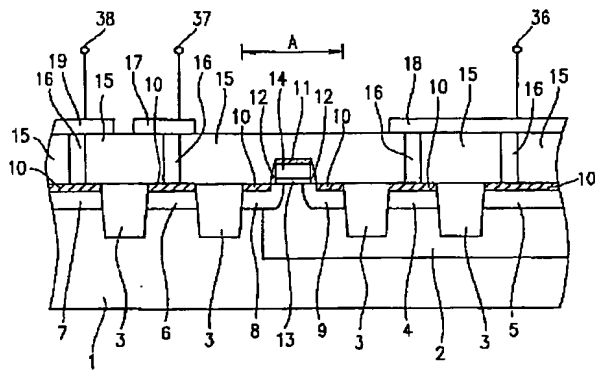
58 半導体集積回路と電源供給線との接点

59 半導体集積回路と入／出力信号線との接点

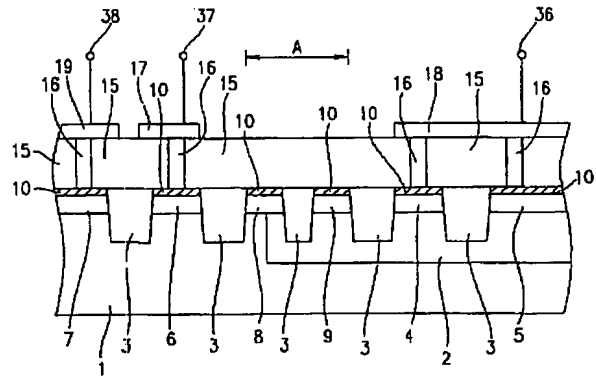
60 半導体集積回路と基準信号線との接点

(17)

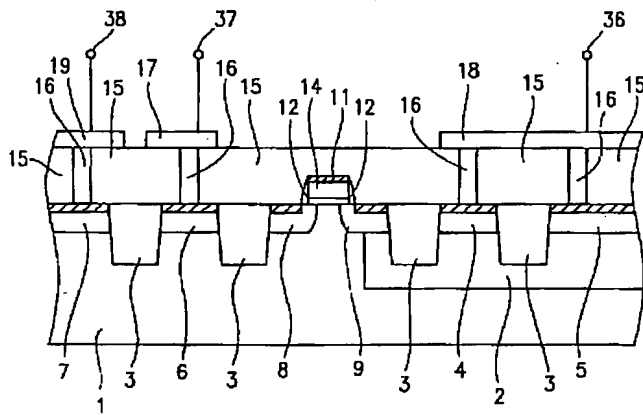
【図1】



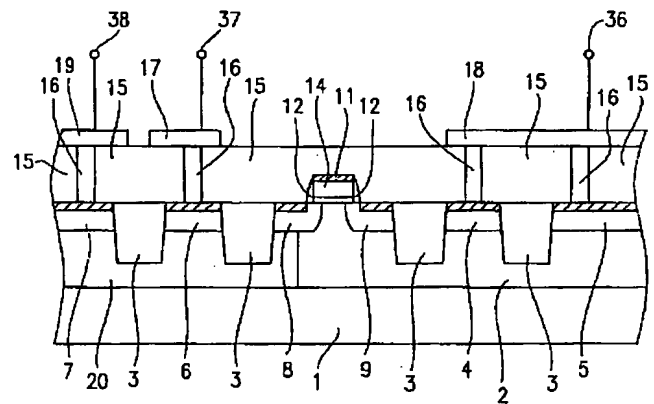
【図2】



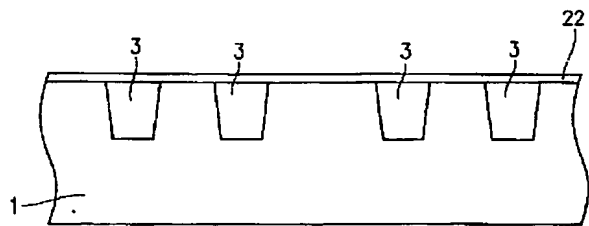
【図3】



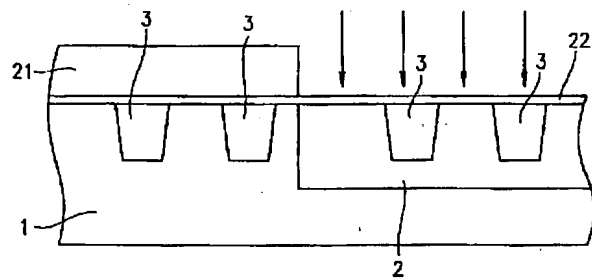
【図4】



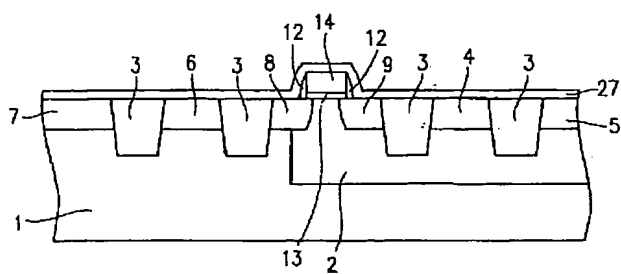
【図5】



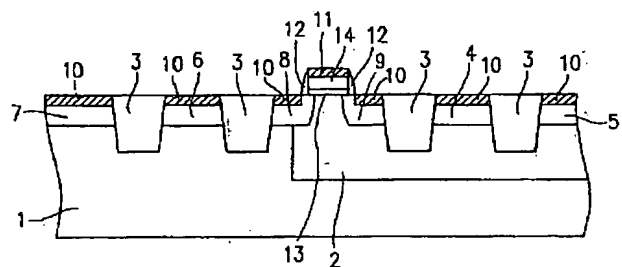
【図6】



【図9】

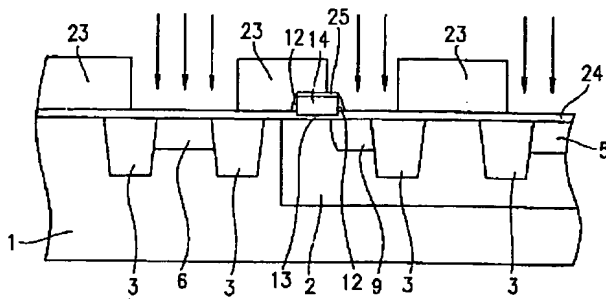


【図10】

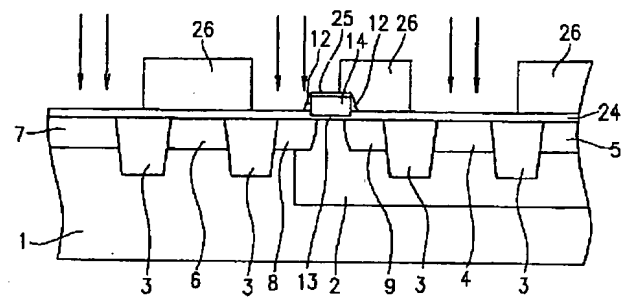


(18)

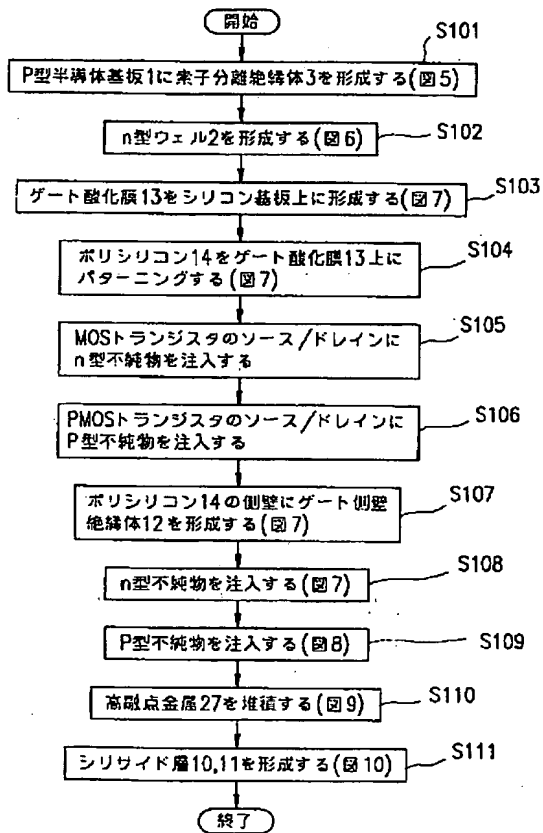
【図7】



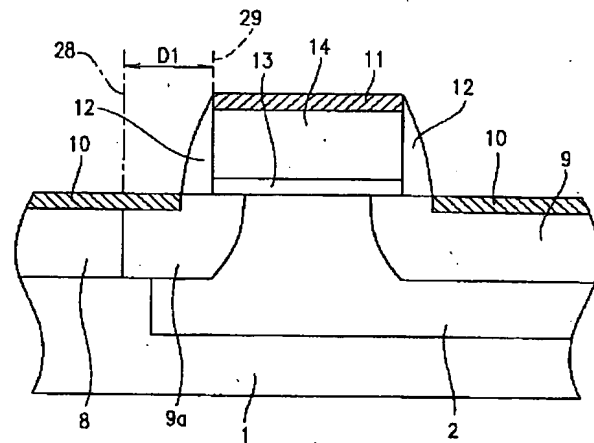
【図8】



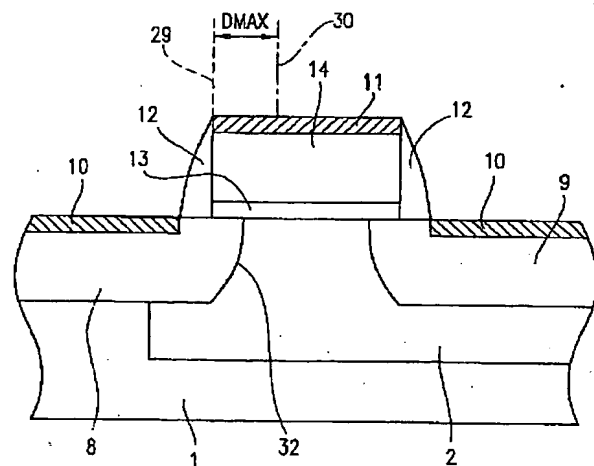
【図11】



【図12】

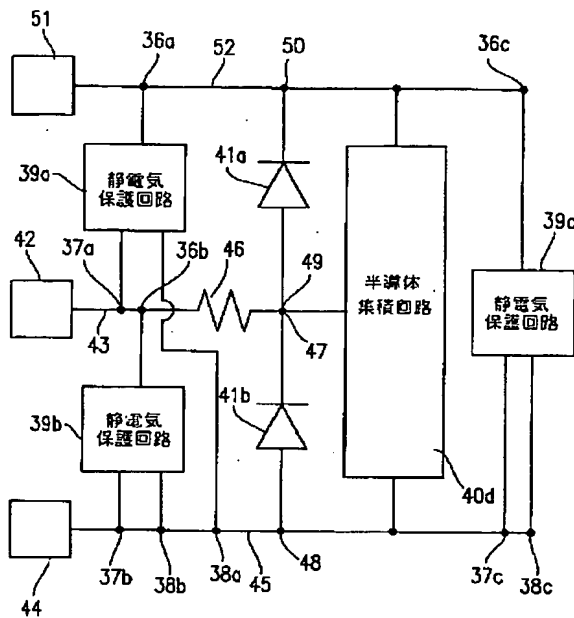


【図13】

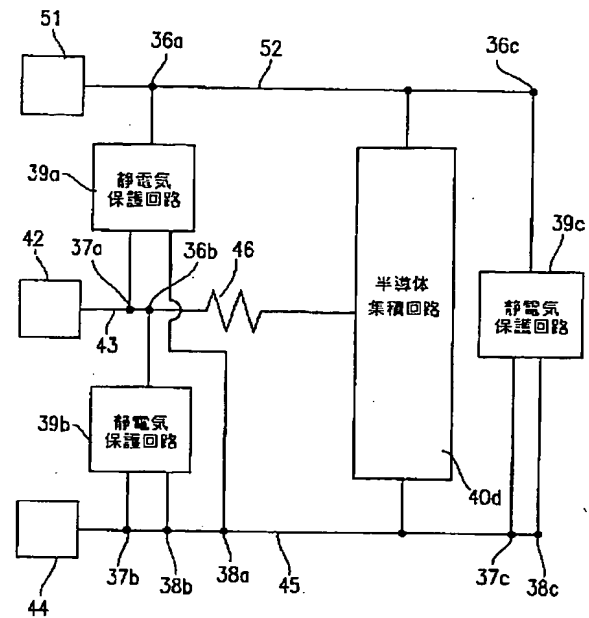


(20)

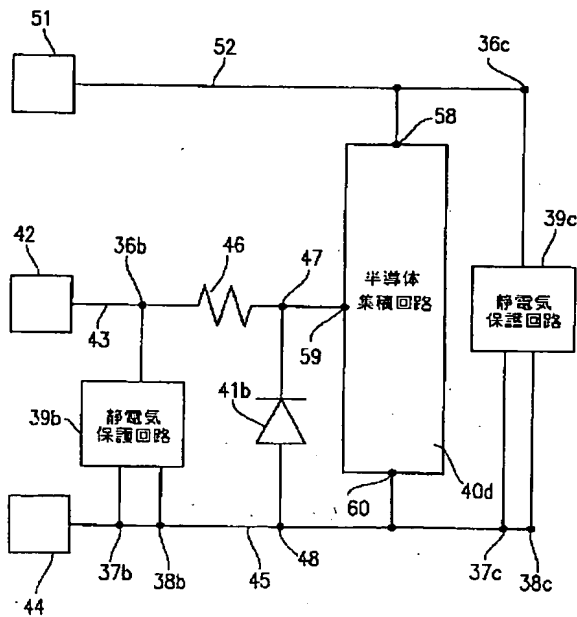
【図20】



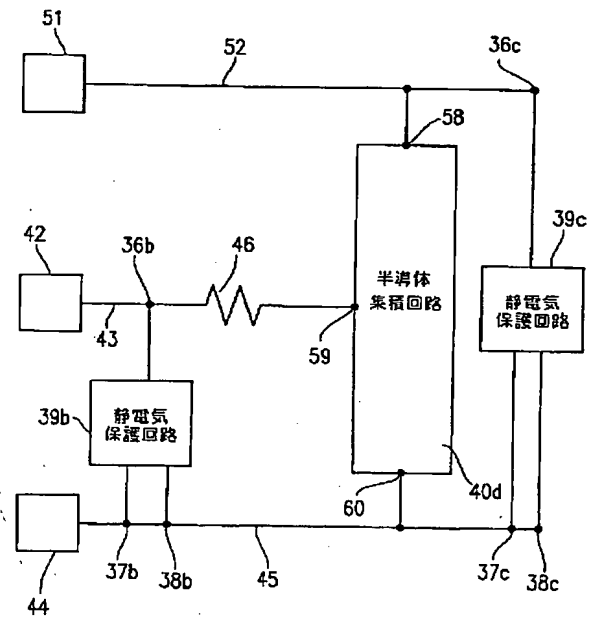
【図21】



【図22】

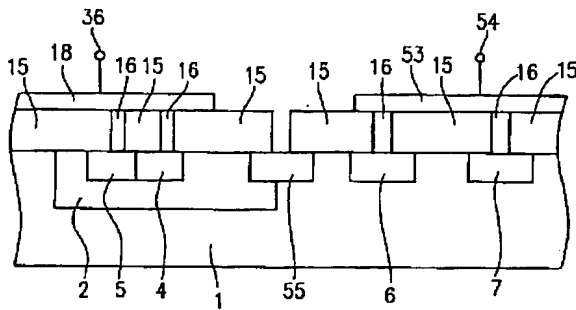


【図23】

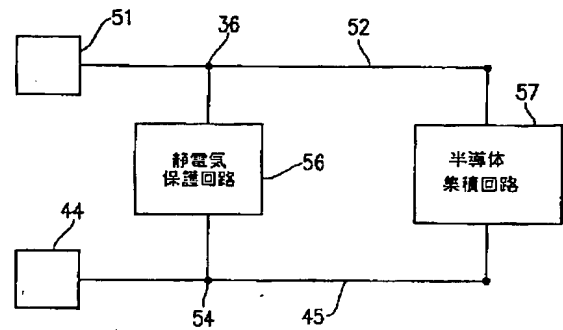


(21)

【図24】



【図25】



フロントページの続き

(51) Int. Cl. 7

H01L 21/332
29/866

識別記号

F I

H01L 29/90

テーマコード* (参考)

D

(71) 出願人 599115778

5750 NW Pacific Rim B
oulevard, Camas, WA
98607, U. S. A.

(72) 発明者 川添 豪哉

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 青木 英治

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 藤井 克正

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 シェン テン スー

アメリカ合衆国 ワシントン 98607,
カマス, エヌダブリュー トラウト コ
ート 2216